

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2005年8月4日 (04.08.2005)

PCT

(10)国際公開番号
WO 2005/072033 A1

(51)国際特許分類7: H05K 1/18

(21)国際出願番号: PCT/JP2005/000890

(22)国際出願日: 2005年1月25日 (25.01.2005)

(25)国際出願の言語: 日本語

(26)国際公開の言語: 日本語

(30)優先権データ:

特願2004-017899 2004年1月27日 (27.01.2004) JP
特願2004-039427 2004年2月17日 (17.02.2004) JP

(71)出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).

(72)発明者; および

(75)発明者/出願人(米国についてのみ): 森 将人 (MORI, Masato), 平野 正人 (HIRANO, Masato), 大西 浩昭 (ONISHI, Hiroaki), 中西 清史 (NAKANISHI, Kiyoshi), 小谷 晓彦 (ODANI, Akihiko).

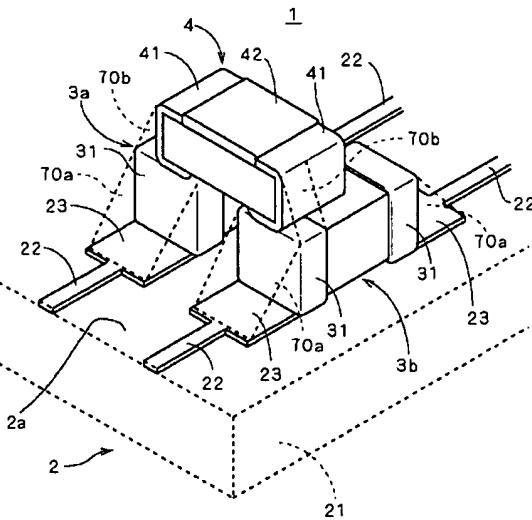
(74)代理人: 河宮 治, 外 (KAWAMIYA, Osamu et al.); 〒5400001 大阪府大阪市中央区城見1丁目3番7号 1MPビル青山特許事務所 Osaka (JP).

(81)指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FL, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NL, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

[続葉有]

(54)Title: CIRCUIT BOARD AND METHOD FOR MOUNTING CHIP COMPONENT

(54)発明の名称: 回路基板およびチップ部品実装方法



WO 2005/072033 A1

(57)Abstract: Disclosed is a circuit board (1) comprising a substrate (2) wherein a wiring pattern (22) is formed, first chip components (3a, 3b) mounted on the substrate and a second chip component (4) mounted on electrodes (31) of the first chip components, specifically on the sides of the electrodes which are opposite to the sides facing the substrate. One electrode (41) of the second chip component is connected to an electrode of the first chip component (3a) and the other electrode (42) is connected to an electrode (31) of the first chip component (3b). By superposing a chip component on top of another chip component, chip components can be mounted on a substrate in high density, thereby realizing miniaturization of the circuit board (1).

(57)要約: 回路基板(1)は、配線パターン(22)が形成された基板(2)と、基板上に実装された第1チップ部品(3a, 3b)と、第1チップ部品の電極(31)上の基板とは反対側に実装された第2チップ部品(4)とを備える。第2チップ部品の一方の電極(41)は、第1チ

[続葉有]

ATTACHMENT "F"



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

ツップ部品（3a）の電極に接続され、他方の電極（41）は第1チップ部品（3b）の電極（31）に接続され
る。チップ部品を多段に積み重ねることにより、チップ部品を基板に高密度に実装することができ、回路基板1が
小型化される。